

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 2月 26日

出願番号 Application Number: 特願 2003-049573
[ST. 10/C]: [JP 2003-049573]

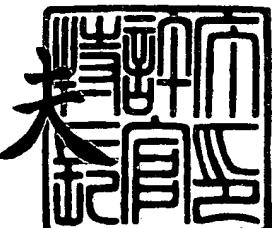
願人 Applicant(s): セイコーインスツルメンツ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 2月 20日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 03000141

【提出日】 平成15年 2月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 31/02

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

【氏名】 町田 聰

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【ブルーフの要否】 不要

【書類名】 明細書

【発明の名称】 信号処理回路

【特許請求の範囲】

【請求項 1】 光電変換回路に入射した光で発生した電荷の蓄積を行った後に得られる光信号と、前記光電変換回路の基準となる基準信号と、を前半の期間と後半の期間に分けて入力し、前記入力される信号を前記前半の期間にサンプルし前記後半の期間にホールドする回路と、

前記サンプルホールド後の信号と前記入力される信号との差を取り出し増幅する減算回路と、

前記増幅された信号を前記前半の期間に第1の基準電圧にクランプする回路と、を有することを特徴とする信号処理回路。

【請求項 2】 前記クランプ後の信号を前記後半の期間にサンプルし、その後ホールドすることを特徴とする請求項1に記載の信号処理回路。

【請求項 3】 前記クランプ後の信号を増幅するゲインアンプを設け、前記ゲインアンプの基準電圧は、前記第1の基準電圧と電気的に共通であることを特徴とする請求項1に記載の信号処理回路。

【請求項 4】 前記減算回路の基準電圧は、前記第1の基準電圧と電気的に共通であることを特徴とする請求項1に記載の信号処理回路。

【請求項 5】 前記光電変換回路と、請求項1記載の信号処理回路と、を有することを特徴とするイメージセンサー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、イメージセンサー等のアナログ画像信号を処理する信号処理回路に関する。また、この信号処理回路を搭載したリニアイメージセンサーやエリアイメージセンサーに関する。

【0002】

【従来の技術】

従来のイメージセンサーの回路図 図12と、タイミングチャート 図13を

用いて説明する。

【0003】

この発明は、チップ間段差に起因するFPNを除去し、ダーク補正を必要としない高性能の密着型イメージセンサを提供することを目的としている。

【0004】

この発明は、複数の光電変換素子の光信号とノイズ信号とをそれぞれ読み出して保持する信号保持手段と、前記信号保持手段の光信号とノイズ信号とをそれぞれ出力する共通出力線と、該共通出力線をそれぞれリセットするリセット手段と、該それぞれの共通出力線から出力する読み出し手段とを有する半導体光センサチップが実装基板上に複数実装されたセンサモジュールと、前記センサモジュールにおいて、各センサチップのノイズ信号及び光信号を入力する光信号入力バッファ手段と、前記ノイズ信号入力バッファアンプと前記光信号入力バッファアンプとの差分をとる差動手段と、前記差動手段の出力をクランプする電圧クランプ手段と、を同一半導体基板上に形成された半導体装置からなることを特徴とする密着型イメージセンサにおいて、前記電圧クランプ手段は、前記光信号共通出力線、及び前記ノイズ信号共通出力線がリセットされている状態をクランプすることを特徴としている。

【0005】

また、アンプチップ200とセンサチップ100は別チップで構成されている。
。（例えば、特許文献1 参照。）。

【0006】

【特許文献1】

特開平11-112015号公報（第4-5頁、第1図）

【0007】

【発明が解決しようとする課題】

しかし、この様なイメージセンサーにおいては、アンプチップ200とセンサチップ100を別に設ける必要があるため、構成要素が多くなる欠点があった。すなわち、アンプチップは基準信号と光信号の差を増幅するが、各アンプ201、202、203のオフセットのため、センサチップに内蔵すると、センサチッ

ブ間でオフセットの差が出てしまうという問題があった。また、アンプチップの回路は、基準信号と光信号が同一の共通信号線に順に出力されるタイプのセンサチップに対応できないという問題があった。さらに増幅機能を持たせると、アンプのオフセットも増幅されてしまうという問題もあった。

【0008】

【課題を解決するための手段】

従来のこのような問題点を解決するために、本発明は、光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号と、前記光電変換手段の基準となる信号を、前半の期間と後半の期間に分けて入力し、前記入力される信号を前記前半の期間にサンプルし前記後半の期間にホールドする機能と、前記サンプルホールド後の信号と前記入力される信号との差を取り出し増幅する減算機能と、前記増幅された信号を前記前半の期間に基準電圧にクランプする機能とを設けた信号処理回路とした。

【0009】

この信号処理回路によれば、前半の期間と後半の期間の減算器の出力には同じオフセット電圧が乗っており、クランプ回路で、この前半と後半の減算器の出力の差を取り出すので、基準電圧を基準とした、減算器のオフセットをキャンセルした信号を取り出すことができる。したがって、固定パターンノイズの小さい光電変換装置を得ることができる。また、光電変換手段と信号処理回路が1つの半導体基板上に形成されたイメージセンサーICを複数実装し、各イメージセンサーICに供給する基準電圧を共通にすれば、全ての各イメージセンサーICの出力のチップ間の暗出力段差を小さくできる。

【0010】

【発明の実施の形態】

以下、本発明を、図面を用いて説明する。図1は、本発明の実施形態例の信号処理回路のブロック図である。入力端子VINに入力した信号は、サンプルホールド回路21とバッファーアンプ23に入力する。サンプルホールド回路21の出力はバッファーアンプ22に入力する。バッファーアンプ22の出力とバッファーアンプ23の出力は、減算器24に入力し、減算器24の出力はクランプ回

路25に入力する。減算器24とクランプ回路25の基準電圧は、共通にすることができるVREF端子につながっている。クランプ回路25の出力はバッファーアンプ26に入力する。なおバッファーアンプ26は、增幅回路に置き換えるてもよい。さらに、この增幅回路の基準電圧をVREF端子と共通にしても良い。バッファーアンプ26の出力は、サンプルホールド回路27に入力する。サンプルホールド回路27の出力はバッファーアンプ28に入力する。バッファーアンプ28の出力はトランスマッショングート29に入力する。トランスマッショングート29の出力は出力端子VOUT2につながる。なお、トランスマッショングート29は、用途によっては不要である。

【0011】

図2は、本発明の実施形態例のサンプルホールド回路の回路図であり、サンプルホールド回路21とサンプルホールド回路27に使用できる。サンプルホールド回路はトランスマッショングート30とダミースイッチ31と容量C1からなる。このサンプルホールド回路は、 ϕSH とその反転である ϕSHX のパルスのノイズを相殺するために、トランスマッショングート30のNMOSとPMOSのトランジスタサイズは同じにし、ダミースイッチ31のNMOSとPMOSのトランジスタのゲート面積は、トランスマッショングートのトランジスタのゲート面積の半分にする。

【0012】

図3は、本発明の実施形態例のバッファーアンプの回路図でありオペアンプ32からなる。この回路は、バッファーアンプ22、23、26、28に使用できる。なお、バッファーアンプはソースフォローアンプでもよい。

【0013】

図4は、本発明の実施形態例の増幅回路の回路図でありオペアンプ32と抵抗からなる。この回路は、バッファーアンプ26の代わりに用いれば、信号処理回路の増幅率を大きくできる。また、この増幅回路の基準電圧VREFを図1のVREF端子と共通にしても良い。

【0014】

図5は、本発明の実施形態例の減算器の回路図でありオペアンプ32と抵抗か

らなる。この回路は、INPの電圧からINMの電圧を引いた電圧を、抵抗の比率で決まるゲイン倍し、VREFの電圧を基準として出力する。INPとINMに入力する端子を逆にすれば、出力をVREFの電圧を基準に反転することができる。

【0015】

図6は、本発明の実施形態例のクランプ回路の回路図であり、クランプ回路25に使用できる。クランプ回路はトランスマッショングート30とダミースイッチ31と容量33からなる。このクランプ回路は、 ϕ CLAMPとその反転である ϕ CLAMPXのパルスのノイズを相殺するために、トランスマッショングート30のNMOSとPMOSのトランジスタサイズは同じにし、ダミースイッチ31のNMOSとPMOSのトランジスタのゲート面積は、トランスマッショングートのトランジスタのゲート面積の半分にする。

【0016】

図7は、本発明の実施形態例の光電変換装置1の概略回路図である。図7に示す光電変換ブロックAnの枠の内側の要素は画素数分設けられており、各ブロックのチャンネル選択スイッチ7は共通信号線11に接続している。なお、光電変換ブロックAnはnビット目の光電変換ブロックを示している。図8に、光電変換装置1の全体構成図を示す。

【0017】

この回路は、光電変換手段となるフォトダイオード1、電荷転送手段となる転送スイッチ4、リセット手段となるリセットスイッチ2、アンプ手段3、容量5、MOSソースフォロアを形成するMOSトランジスタ6、チャンネル選択手段となるチャンネル選択スイッチ7、共通信号線11、第1の電流源8からなる。

【0018】

アンプ手段3はMOSソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子10を設けても良い。また、MOSトランジスタ6のゲートとソース間には寄生容量9が存在する。また、MOSトランジスタ6のソースに、第2の電流源51が接続されている。この電流源はイネーブル信号 ϕ RRによってオン・オフし、オン状態では、第1の電流源8と

~

同程度の電流が流れるようになっている。

【0019】

この光電変換装置の出力端子VOUTは、図1の信号処理回路の入力端子VINに入力する。光電変換装置と信号処理回路は、1つの半導体基板上に形成することができる。

【0020】

図9は、本発明の実施形態例の光電変換装置1と信号処理回路のタイミングチャートである。

【0021】

以下にこのタイミングチャートを参照しながら、本実施形態の動作を説明する。

まず、nビット目の光電変換ブロックの動作について説明する。

【0022】

$\phi R(n)$ によりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフすると、Vdiの電圧はVresetにオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐので、ランダムノイズとなる。したがって、ランダムノイズを防ぐためには、リセットした後のアンプ3の出力電圧と、その後、フォトダイオードが光電荷を蓄積した後のアンプ3の出力電圧の差をとればよい。そこで、図9のように、 $\phi R(n)$ によりリセットスイッチ2がオフした後、 $\phi T1(n)$ により転送スイッチ4をオンして、TRの期間で基準信号を容量5に読み出す。このとき、イネーブル信号 $\phi RR(n)$ により電流源51をオン状態にすることによって、MOSトランジスタ6のソース電位を、 $\phi SCH(n)$ がオン状態の読み出し時と同程度にする。基準信号は、1周期の間、容量5に保持される。この間にフォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動している。次の周期の $\phi SCH(n)$ によりチャンネル選択スイッチ7をオンすると、REFの期間に、容量5に保持された基準信号が共通信号線11に読み出される。次に、 $\phi T1(n)$ をオンし、光信号を容量5に読み出すと、この光信号が共通信号線11に

読み出される。このとき、電流源51をオフ状態にする。このことによって、TRの期間で基準信号を容量5に読み出すときと、TSの期間でフォトダイオードに蓄積した電荷に応じた光信号を容量5に読み出すときのMOSトランジスタ6のソース電位を、同程度にすることができる。したがって、容量5に蓄える電荷への寄生容量9の影響を小さくすることができる。このことによって、暗出力電圧のオフセットを小さくできる。

【0023】

以上の動作により、 $\phi_{SCH}(n)$ のREFの期間とSIGの期間の共通信号線11の出力電圧VOUTの差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去できる。次に、 $\phi_{T1}(n)$ をオフしてから、 $\phi_{SCH}(n)$ をオフし、 $\phi_R(n)$ をオンして、次のフォトダイオードのリセットを行い、再び $\phi_{T1}(n)$ をオンして、TRの期間で基準信号を容量5に読み出す。

【0024】

$\phi_{SCH}(n)$ がオフしてから、次のビットのチャンネル選択スイッチ7が $\phi_{SCH}(n+1)$ によってオンし、次のビットの基準信号の読み出しが始まる。n+1ビット目の他のパルスは、nビット目のパルスよりも、全て ϕ_{SCH} のオン期間だけ後ろにずれる。

【0025】

以上の説明で、第2の電流源51は無くてもよい。その場合は、 ϕ_{RR} のパルスは不要となる。

【0026】

上記のように、VOUT端子からは、nビット目の基準信号、nビット目の光信号、n+1ビット目の基準信号、n+1ビット目の光信号の順で出力される。以下で、便宜上、基準信号の出力期間を前半期間、光信号の出力期間を後半期間とする。

【0027】

次に信号処理回路の動作を説明する。

【0028】

VIN端子に上記VOUT端子の出力が入力される。サンプルホールドパルス ϕ_{SH1} は、基準信号が出始めてからオンし、基準信号が終わる前にオフする。

これにより、基準信号がサンプルホールドされる。V I Nの信号とサンプルホールド後の信号は、減算器に入力する。前半期間は同じ基準信号が減算器に入力し、後半期間は、サンプルホールドされた基準信号と光信号が減算器に入力する。したがって、減算器の出力は、前半期間はV R E F レベル、後半期間は基準信号と光信号の差をゲイン倍したレベルにV R E F レベルを加えたレベルにとなる。また、前半期間の出力には、バッファーアンプ2 2、2 3と減算器2 4のオフセットが乗り、後半期間の出力には、バッファーアンプ2 2、2 3と減算器2 4のオフセットと、サンプルホールド回路2 1のオフセットが乗る。

【0029】

クランプパルス ϕ CLAMPは、 ϕ SH 1がオンする前にオンし、 ϕ SH 1がオフする前にオフするように加える。これにより、クランプ回路2 5の出力は、前半期間が、V R E F レベルにクランプされ、後半期間は、減算器の後半出力から前半出力を引いたレベルにV R E F レベルを加えたレベルとなる。この結果、クランプ回路の後半期間の出力には、バッファーアンプ2 2、2 3と減算器2 4のオフセットが乗らない。また、サンプルホールド回路2 1のオフセットは、 ϕ SH パルスとその反転である ϕ SH X パルスのノイズが相殺する回路になっているので小さい。以上から、クランプ回路の後半期間の出力は、V R E F レベルを基準に、基準信号と光信号の差をゲイン倍したレベルを加えたレベルになる。

【0030】

サンプルホールドパルス ϕ SH 2は、光信号が出始める前後にオンし、光信号が終わる前にオフする。これにより、クランプ後の出力の後半期間の出力がサンプルされ、次のビットの前半期間にホールドされる。したがって、長い期間出力レベルを維持することができる。

【0031】

図10は、本発明の実施形態例の光電変換装置2の概略回路図である。図10に示す光電変換ブロックA nの枠の内側の要素は画素数分設けられており、各ブロックのチャンネル選択スイッチ7は共通信号線11に接続している。なお、光電変換ブロックA nはnビット目の光電変換ブロックを示している。図8に、光電変換装置2の全体構成図を示す。

【0032】

この回路は、光電変換手段となるフォトダイオード1、電荷転送手段となる転送スイッチ14、15、16、17、リセット手段となるリセットスイッチ2、アンプ手段3、光信号を保持する容量13、光電変換手段の基準となる基準信号を保持する容量12、信号読み出し手段となるMOSソースフォロアを形成するMOSトランジスタ6、チャンネル選択手段となるチャンネル選択スイッチ7、共通信号線11、第1の電流源8からなる。

【0033】

アンプ手段3はMOSソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子10を設けても良い。

【0034】

この光電変換装置の出力端子VOUTは、図1の信号処理回路の入力端子VINに入力する。光電変換装置と信号処理回路は、1つの半導体基板上に形成することができる。

【0035】

図11は、本発明の実施形態例の光電変換装置2と信号処理回路のタイミングチャートである。

【0036】

以下にこのタイミングチャートを参照しながら、光電変換装置2の動作を説明する。

【0037】

図11の ϕR 、 ϕRIN 、 ϕSIN 、 ϕSEL は全ビットについて同時に動作する。 $\phi S0$ 、 $\phi R0$ 、 ϕSCH はビットによって動作するタイミングが異なるので、(n)付で表示している。

【0038】

まず、nビット目の光電変換ブロックの動作について説明する。 ϕSIN のS1の位置のパルスにより転送スイッチ15をオンして、フォトダイオード1に入射した光で発生した電荷の蓄積を行った後に得られる光信号を容量13に読み出す。次に ϕR のR2の位置のパルスによりリセットスイッチ2がオンすると、フォト

ダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフすると、Vdiの電圧はVresetにオフノイズが加算された値になる。次にリセットスイッチ2がオフした直後、 ϕR INのR2の位置のパルスにより転送スイッチ14をオンして、フォトダイオード1のリセット後の基準信号を容量12に読み出す。この後フォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動する。この蓄積期間は ϕR のR2の期間の終了から、次の周期の ϕS INのS2の期間の終了までであるので、図11のTS2の期間となり、全てのビットについて同じ期間になる。

【0039】

次に、基準信号と光信号の読み出しの動作を説明する。

【0040】

図11のTS2の蓄積期間中に、 ϕS CH(n)のパルスによりチャンネル選択スイッチ7を開くと同時に ϕS O(n)のパルスにより転送スイッチ17を開くと、容量13に保持されていた光信号が共通信号線11に読み出される。この期間は ϕS CH(n)のS1の部分である。この光信号は、TS1の期間に蓄積された信号である。次に、 ϕR O(n)のパルスにより転送スイッチ16を開くと、容量12に保持されていた基準信号が共通信号線11に読み出される。この基準信号は、 ϕR のR2の位置のパルスによりリセットされた信号である。

【0041】

次に、 ϕS CH(n)をオフしてから、次のビットのチャンネル選択スイッチ7が ϕS CH(n+1)によってオンし、 ϕS O(n+1)のパルスにより次のビットの転送スイッチ17を開くと次のビットの光信号の読み出しが始まる。n+1ビット目の他のパルスは、nビット目のパルスよりも、全て ϕS CHのオン期間だけ後ろにずれる。

【0042】

この実施例では、TS2の期間でフォトダイオードが蓄積動作中に、前の蓄積期間TS1の期間で蓄積した光信号を読み出すことができる。したがって、RGBの3色のLEDを順に点灯して、カラー画像データを読み取ることができる。たとえば、TS1の期間に赤のLEDを点灯し赤の成分を読み取り、TS2の期間に緑のLEDを点灯し緑の成分を読み取り、TS2の次の期間に青のLEDを

点灯し青の成分を読み取ることができる。この場合、T S 2 の期間内に赤の光信号を読み出すことになる。

【0043】

上記のように、共通信号線 1 1 の V O U T 端子からは、n ビット目の光信号、n ビット目の基準信号、n+1 ビット目の光信号、n+1 ビット目の基準信号の順で出力される。これは、光電変換装置 1 と光信号と基準信号の順番が逆になるが、図 1 1 に示すパルス ϕ SH1、 ϕ CLAMP、 ϕ SH2 を使い、光電変換装置 1 と同様に、図 1 の信号処理回路で光信号と基準信号の差を V R E F を基準に増幅することができる。以上の説明で、光電変換装置は、基準信号と光信号を順に出力するものであれば、どのような回路であってもよい。リニアセンサー、エリアセンサーともに信号処理することができる。また、基準信号と光信号の出力の順が逆であっても、減算器の I N P と I N M の端子を逆に接続すれば、対応できる。また、減算器の I M P と I N M の端子を逆に接続すれば、減算器の出力は V R E F レベルを基準に反転するので、光信号の感度が正負どちらであっても、信号処理回路の感度を正にできる。

【0044】

以上のように、本発明によれば、前半の期間と後半の期間の減算器の出力には同じオフセット電圧が乗っており、クランプ回路で、この前半と後半の減算器の出力の差を取り出すので、基準電圧を基準とした、減算器のオフセットをキャンセルした信号を取り出すことができる。したがって、固定パターンノイズの小さい電変換装置を得ることができる。また、光電変換手段と信号処理回路が 1 つの半導体基板上に形成されたリニアイメージセンサー I C やエリアイメージセンサー I C を作ることができる。また、このリニアイメージセンサー I C を複数実装し、各イメージセンサー I C に供給する基準電圧を共通にすれば、全ての各イメージセンサー I C の出力のチップ間の暗出力段差を小さくできる。このとき、信号処理回路には、トランスマッショングート 2 9 が設けられているので、各イメージセンサー I C の出力を共通の信号線に読み出すことが可能である。

【0045】

以上の説明で、本発明は上述した各実施形態に限定されるものではなく、その

要旨を逸脱しない範囲で、種々変形して実施することができる。

【0046】

【発明の効果】

以上説明したように、本発明は、固定パターンノイズの小さい光電変換装置が得られる。

【0047】

したがって、簡単な構成で、暗出力のばらつきが小さいイメージセンサーICを供給できる。また、このイメージセンサーICを複数個直線状に実装した、密着型イメージセンサーを供給することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態例の信号処理回路のブロック図である。

【図2】

本発明の実施形態例のサンプルホールド回路の回路図である。

【図3】

本発明の実施形態例のバッファ回路の回路図である。

【図4】

本発明の実施形態例の增幅回路の回路図である。

【図5】

本発明の実施形態例の減算器の回路図である。

【図6】

本発明の実施形態例のクランプ回路の回路図である。

【図7】

本発明の実施形態例の光電変換装置1の概略回路図である。

【図8】

本発明の実施形態例の光電変換装置1および光電変換装置2の全体構成図である。

【図9】

本発明の実施形態例の光電変換装置1と信号処理回路のタイミングチャートで

ある。

【図10】

本発明の実施形態例の光電変換装置2の概略回路図である。

【図11】

本発明の実施形態例の光電変換装置2と信号処理回路のタイミングチャートである。

【図12】

従来のイメージセンサーの回路図である。

【図13】

従来のイメージセンサーのタイミングチャートである。

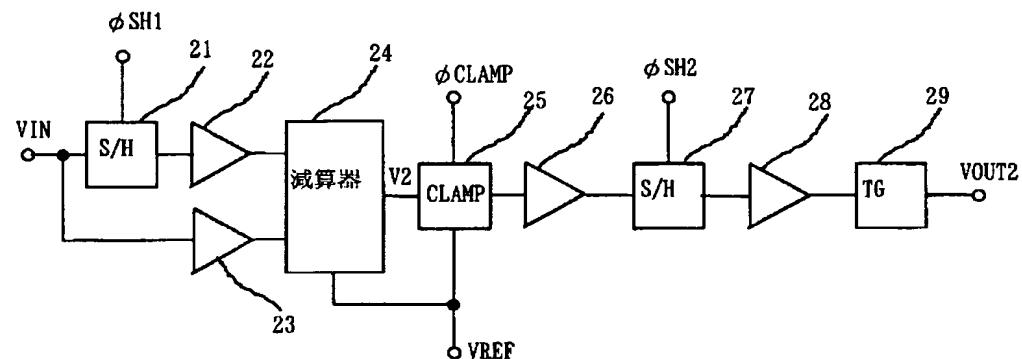
【符号の説明】

- 1 フォトダイオード
- 2 リセットスイッチ
- 3 アンプ
- 4 転送スイッチ
- 5 容量
- 6 MOSトランジスタ
- 7 チャンネル選択スイッチ
- 8 第1の電流源
- 9 寄生容量
- 10 アンプイネーブル端子
- 11 共通信号線
- 12、13 容量
- 14、15、16、17 転送スイッチ
- 21 サンプルホールド回路
- 22 バッファーアンプ
- 23 バッファーアンプ
- 24 減算器
- 25 クランプ回路

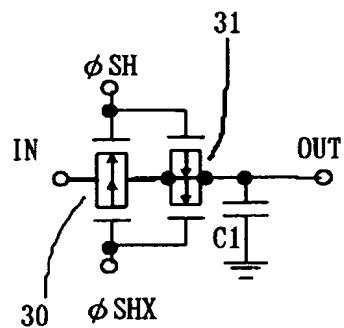
- 26 バッファーアンプ
- 27 サンプルホールド回路
- 28 バッファーアンプ
- 29 トランスマッショングート
- 30 トランスマッショングート
- 31 ダミースイッチ
- 32 オペアンプ
- 33 クランプ容量
- 51 第2の電流源
- A n nビット目の光電変換ブロック

【書類名】 図面

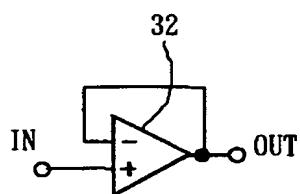
【図 1】



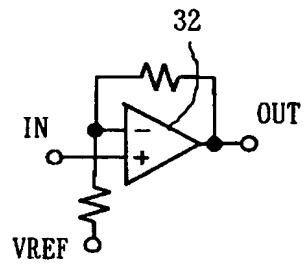
【図 2】



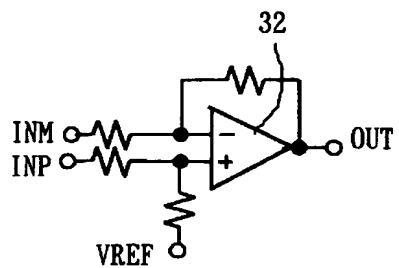
【図 3】



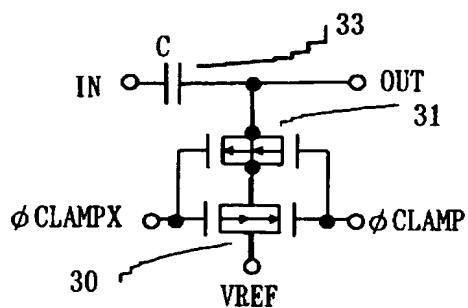
【図 4】



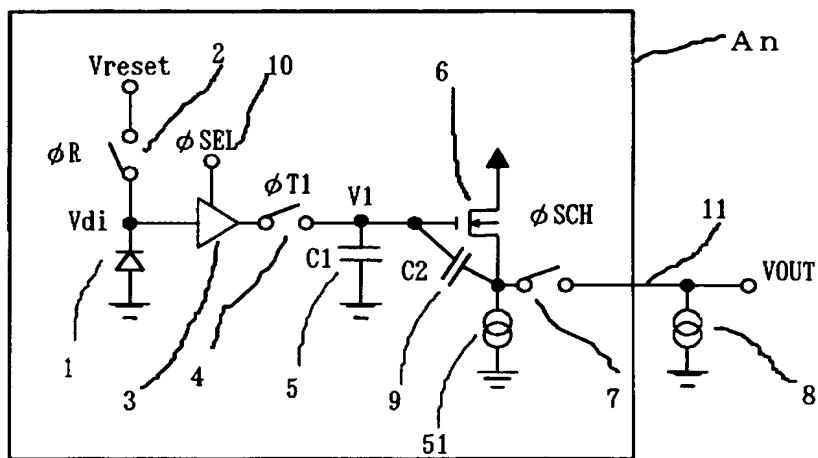
【図 5】



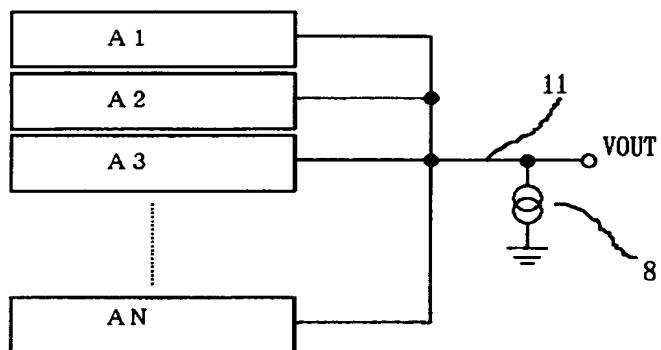
【図 6】



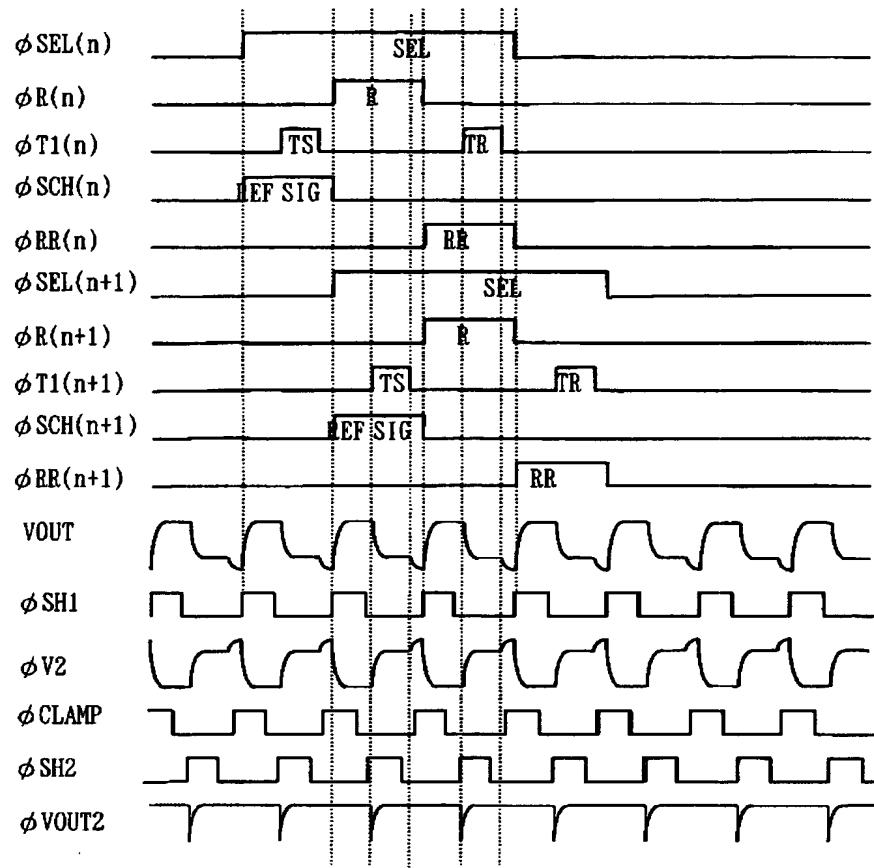
【図7】



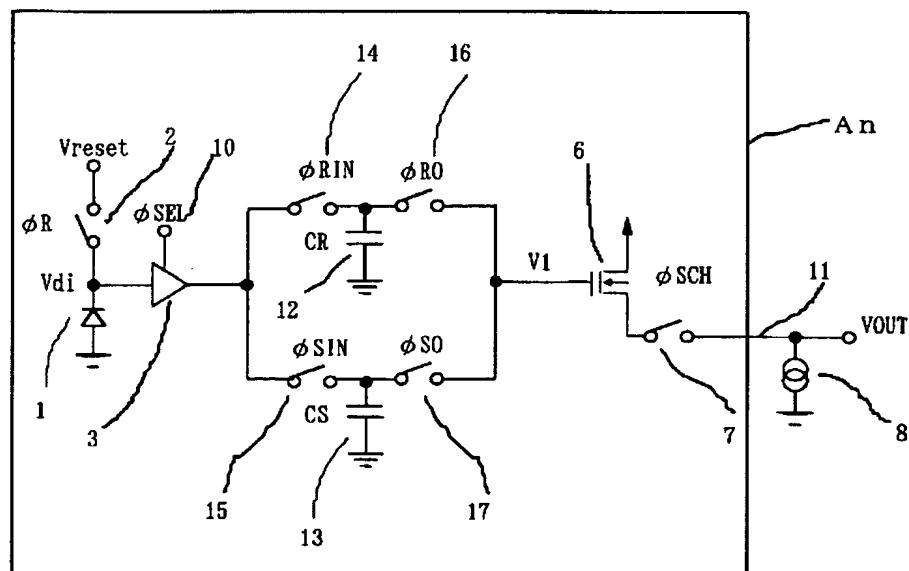
【図8】



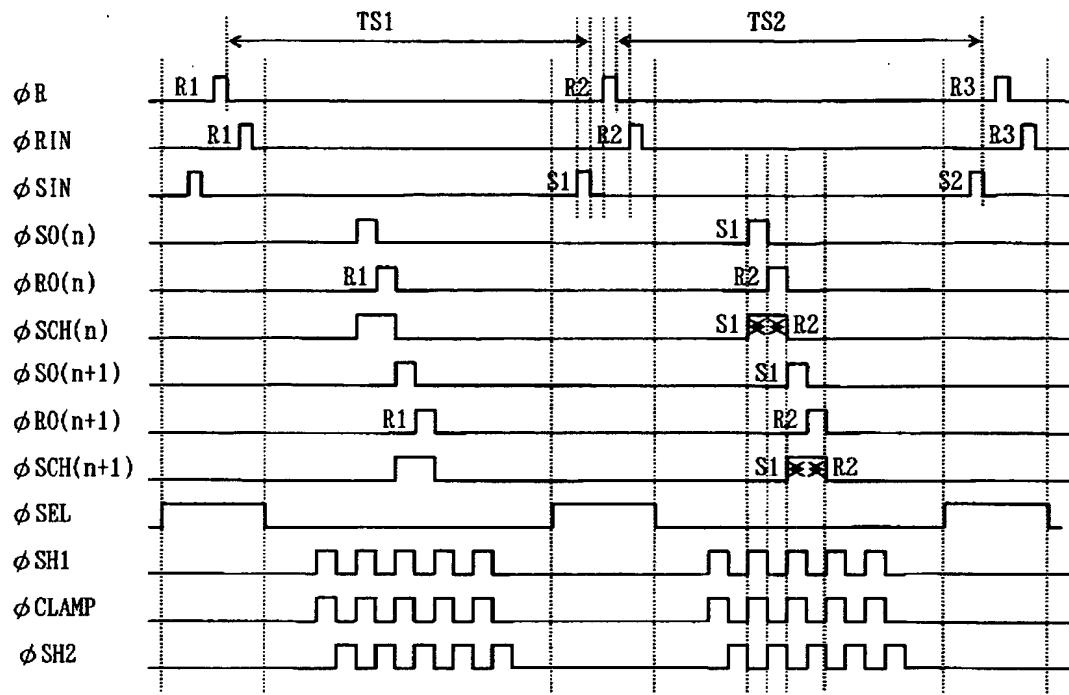
【図9】



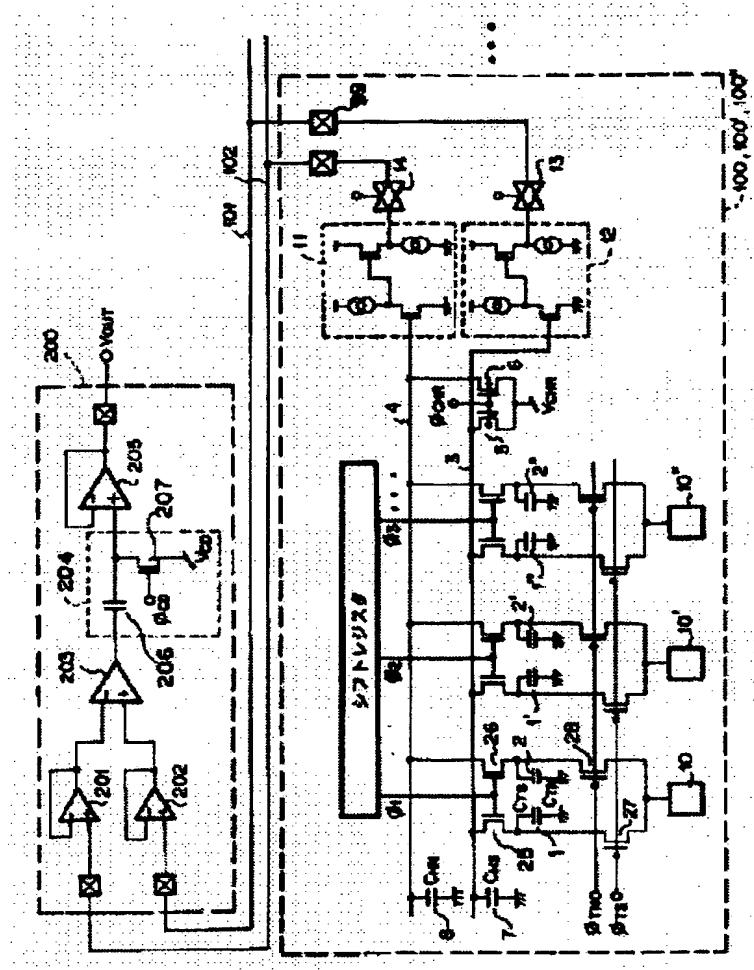
【図10】



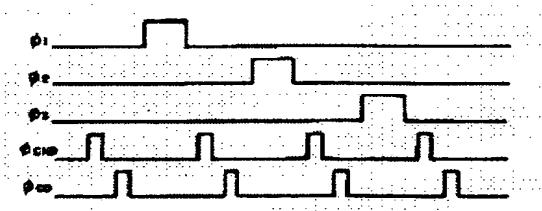
【図 1 1】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 固定パターンノイズの小さい光電変換装置の提供。

【解決手段】 光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号と、前記光電変換手段の基準となる基準信号を、前半の期間と後半の期間に分けて入力し、前記入力される信号を前記前半の期間にサンプルし前記後半の期間にホールドする機能と、前記サンプルホールド後の信号と前記入力される信号との差を取り出し増幅する減算機能と、前記増幅された信号を前記前半の期間に基準電圧にクランプする機能とを設けた。

【選択図】 図1

特願 2003-049573

出願人履歴情報

識別番号 [000002325]

1. 変更年月日 1997年 7月23日

[変更理由] 名称変更

住所 千葉県千葉市美浜区中瀬1丁目8番地
氏名 セイコーインスツルメンツ株式会社